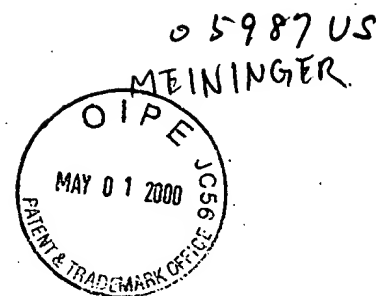


BEST AVAILABLE COPY

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1998年 4月16日

出 願 番 号
Application Number:

平成10年特許願第123000号

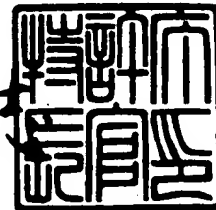
出 願 人
Applicant(s):

株式会社ニコン

1999年 3月26日

特許庁長官
Commissioner,
Patent Office

伴佐山 建



出証番号 出証特平11-3017320

【書類名】 特許願

【整理番号】 97P02424

【提出日】 平成10年 4月16日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/335

【発明の名称】 固体撮像装置およびこれを用いた電子カメラ

【請求項の数】 13

【発明者】

 【住所又は居所】 東京都千代田区丸ノ内3丁目2番3号 株式会社ニコン
 内

 【氏名】 米山 寿一

【特許出願人】

 【識別番号】 000004112

 【氏名又は名称】 株式会社ニコン

【代理人】

 【識別番号】 100083574

 【弁理士】

 【氏名又は名称】 池内 義明

 【電話番号】 045-211-2795

【手数料の表示】

 【予納台帳番号】 056133

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9105994

【書類名】 明細書

【発明の名称】 固体撮像装置およびこれを用いた電子カメラ

【特許請求の範囲】

【請求項 1】 行および列に沿ってマトリクス状に配置された複数の光電変換画素と、前記光電変換画素の行の選択を行なう垂直走査回路と、前記光電変換画素の列の選択を行なう水平走査回路とを具備し、前記垂直走査回路および水平走査回路で画素を選択して画像信号を読み出す固体撮像装置であって、前記垂直走査回路または前記水平走査回路の内の少なくとも一方を、

複数行の画素からなる行グループまたは複数列の画素からなる列グループ毎に順次選択を行なうグループ走査回路と、

前記グループ走査回路で選択された行グループまたは列グループの内から選択信号に応じて所望の行または列を任意に選択して画像信号を出力する選択回路と

を備えて構成したことを特徴とする固体撮像装置。

【請求項 2】 前記水平走査回路は列グループを順次選択する水平グループ走査回路と、該水平グループ走査回路で選択された列グループの内の所望の列を選択する水平選択回路を含み、該水平選択回路は各列の読み出し信号を記憶する記憶手段を備え、垂直帰線期間内に複数の行を選択して読み出し得られた画像信号を前記記憶手段に記憶させ、記憶された画像信号を水平読み出し期間に順次読み出すことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】 前記垂直走査回路および前記水平走査回路は、全ての行および列に渡り各々の行および列の読み出し画素数が均一となるよう画素の一部を規則的に間引き読み出しを行なうことが可能であることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 4】 前記複数の画素は 3 原色またはその補色に対応する各色の光電変換画素が所定の順序で規則的に配列されて構成され、前記垂直走査回路および水平走査回路は、前記複数の光電変換画素を間引きなしで順次読み出す場合と実質的に同じ順序で各色の画素が読み出されるよう規則的に間引き読み出しを行なうこ

とが可能であることを特徴とする請求項 1 または 2 に記載の固体撮像装置。

【請求項 5】 前記水平走査回路が列グループを順次選択する水平グループ走査回路と、該水平グループ走査回路で選択された列グループの内の所望の列を選択する水平選択回路を含み、該水平選択回路は読出しを行なわない列の回路の電源を遮断する電源遮断機能を有することを特徴とする請求項 1～4 の内のいずれか 1 項に記載の固体撮像装置。

【請求項 6】 行および列に沿ってマトリクス状に配置された複数の光電変換画素と、前記複数の光電変換画素を順次選択して読出す走査回路とを具備する固体撮像装置であって、

全ての行および列に渡り各行および各列の読出し画素数が均一となるよう、かつ画素の一部を規則的に間引きして読出し可能であることを特徴とする固体撮像装置。

【請求項 7】 複数種類の色の光電変換画素を含む複数の光電変換画素が所定の規則で行および列に沿ってマトリクス状に配列されて構成されたカラー画素マトリクスと、前記カラー画素マトリクスの各光電変換画素を順次選択して読出す走査回路とを具備する固体撮像装置であって、

前記カラー画素マトリクスの画素を間引きなしで順次読出す場合と実質的に同じ順序で各色の画素が順次読出されるように画素を規則的に間引きして読出し可能であることを特徴とする固体撮像装置。

【請求項 8】 前記画素の間引き読出しは、直前に読出した画素と行及び列が共に異なる画素を次に読み出すことによって達成されることを特徴とする請求項 2 または 7 に記載の固体撮像装置。

【請求項 9】 前記グループ走査回路は一括プリセット可能なシフトレジスタで構成され、複数の行グループまたは列グループを同時選択するとともに、選択された行グループまたは列グループの中から前記選択回路によって所望の複数の行または列を同時選択して複数の行または列の信号が合成された信号を出力可能であることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 10】 全ての行を同時選択して読出しを行ない、各列毎に全ての行の信号が合成された信号を出力し、これらの信号を水平走査回路で走査して読

出すことにより、各列の最大輝度の画素の分布情報を得ることを特徴とする請求項 9 に記載の固体撮像装置。

【請求項 11】 間引かれた画素の電荷をリセット可能であることを特徴とする請求項 1～10 の内のいずれか 1 項に記載の固体撮像装置。

【請求項 12】 被写体の画像光を受ける撮像レンズと、
行および列に沿ってマトリクス状に配置された複数の光電変換画素および該複数の光電変換画素を順次選択して読出す走査回路を備え、画素の一部を規則的に間引きして読出し可能な固体撮像装置と、

前記固体撮像装置において撮像または記録のための画像信号を得る場合は前記固体撮像装置で間引きなしに順次画素の走査を行ない、前記固体撮像装置で得られる画像の表示のための画像信号を得る場合は前記固体撮像装置で間引き走査を行なうよう制御を行なう制御装置と、

を具備することを特徴とする電子カメラ。

【請求項 13】 被写体の画像光を受ける撮像レンズと、
行および列に沿ってマトリクス状に配置された複数の光電変換画素および該複数の光電変換画素を順次選択して読出す走査回路を備え、画素の一部を規則的に間引きして読出し可能な固体撮像装置と、

前記固体撮像装置の露光条件の設定を行なう露光制御手段と、

撮像または記録のための画像信号を得る場合は前記固体撮像装置で間引きなしに順次画素の走査を行ない、前記露光制御手段による露光制御のための画像信号を得る場合は前記固体撮像装置で間引き走査を行なうよう制御を行なう制御装置と、

を具備することを特徴とする電子カメラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、固体撮像装置およびこれを用いた電子カメラに関し、特に撮像前の画像の表示あるいは撮像条件の設定のために画素の適切な間引き読み出しを可能にして、より高速度の読み出しおよび消費電力の低減を図る技術に関する。

【0002】

【従来の技術】

ビデオカメラや電子カメラは、撮像した画像をその場で再生して確認できること、あるいは、撮像素子で得られた画像を録画したり撮像する前に、カメラに内蔵された液晶表示装置で被写体の画像を確認しながら、構図や露光条件などの撮像条件を決めることができることが特徴の1つである。しかしながら、撮像素子と表示素子の画素数に関しては、両者の技術的な進歩の度合いが異なることなどから、高品質な画像を得るため多画素の撮像素子を使用すると、経済的に実装可能な同じ画素数の表示素子を得ることができない。

【0003】

このため、従来の電子カメラでは、撮像素子としてCCDなどのイメージセンサを利用してまず全画素の読み出しを行なう。そして、読み出した全画素の画像情報をいったん画像メモリに記憶し、表示素子の画素数を考慮して必要な画素数に対応する画像情報のみを画像メモリから読み出して表示を行なう。すなわち、撮像素子の画素数が例えばカメラに内蔵した表示装置の画素数より多い場合には、撮像画像のモニタ時などには前記画像メモリを使用して間引きを行なった画像情報で表示を行ない、情報の記録は全画素の画像情報を使用していた。あるいは、被写体画像のモニタは光学的なファインダだけで行ない、電子的な表示装置を使用しないカメラもあった。

【0004】

【発明が解決しようとする課題】

このように、従来の撮像素子は必要な部分だけを間引き走査して読み出すことが困難であり、全画素を走査して読み出し、画像メモリに書き込んだ後、必要な部分だけを表示や露光条件を設定するために利用していた。このため、モニタ時などの画像走査に時間がかかると共に、撮像素子の消費電力を低減できないという問題があった。また、カラー撮像素子の場合には、単純に規則的に間引きを行なって画像情報を読み出した場合にはカラー撮像に必要な全ての色の信号を得られない場合があった。

【0005】

本発明の目的は、撮像前などの画像表示や撮像条件の設定の際に必要な画素だけを読み出すことが可能であり、高速読み出しおよび消費電力の低減を図ることができる固体撮像装置ならびに該固体撮像装置を用いた電子カメラを提供することにある。

【0006】

本発明の他の目的は、間引き読み出しを行なった場合にも全画素の読み出しの場合と同様な色信号情報を得ることができる固体撮像装置および該固体撮像装置を用いた電子カメラを提供することにある。

【0007】

【課題を解決するための手段】

上記目的を達成するため、第1の発明では、行および列に沿ってマトリクス状に配置された複数の光電変換画素と、前記光電変換画素の行の選択を行なう垂直走査回路と、前記光電変換画素の列の選択を行なう水平走査回路とを具備し、前記垂直走査回路および水平走査回路で画素を選択して画像信号を読み出す固体撮像装置において、前記垂直走査回路または前記水平走査回路の内の少なくとも一方を、複数行の画素からなる行グループまたは複数列の画素からなる列グループ毎に順次選択を行なうグループ走査回路と、前記グループ走査回路で選択された行グループまたは列グループの内から選択信号に応じて所望の行または列を任意に選択して画像信号を出力する選択回路と、を備えて構成したことを特徴とする。

このような構成では、前記マトリクス状に配置された複数の光電変換画素の内、前記グループ走査回路によって行グループまたは列グループを選択し、選択された行グループまたは列グループの内から前記選択回路によって所望の行または列を任意に選択することができる。したがって、例えばシフトレジスタなどで構成されるグループ走査回路とゲート回路で構成される選択回路などの簡単な回路構成によって、所望の行または列の画素のみを的確に間引き読み出しすることができる。また、選択回路に供給する選択信号によって自由度の高い間引き読み出しを行なうことが可能になる。

【0008】

第2の発明では、第1の発明において、前記水平走査回路は列グループを順次選択する水平グループ走査回路と、該水平グループ走査回路で選択された列グループの内の所望の列を選択する水平選択回路を含み、該水平選択回路は各列の読み出し信号を記憶する記憶手段を備え、垂直帰線期間内に複数の行を選択して読み出し得られた画像信号を前記記憶手段に記憶させ、記憶された画像信号を水平読み出し期間に順次読み出すことを特徴とする。

このような構成により、垂直帰線期間内に複数の行からそれぞれ所望の画素を選択して読み出すことによって得られた画像信号を前記記憶手段に記憶させ、水平読み出し期間に記憶した画像信号を順次読み出すことができる。したがって、任意の画素を任意の順序で間引き読み出しを行なうことができ、間引き読み出しによって得られた画像の品質を高めカラー撮像装置の場合でも的確に間引き読み出しが行なわれる。

【0009】

第3の発明では、第1の発明において、前記垂直走査回路および前記水平走査回路は、全ての行および列に渡り各々の行および列の読み出し画素数が均一となるよう画素の一部を規則的に間引き読み出しを行なうことが可能であることを特徴とする。

これによりマトリクス状に配置された光電変換画素の各行および列に渡り読み出す画素数が均一となるから、間引き読み出しを行なった画像の解像度を高めかつ自然な高品質な画像を得ることができる。

【0010】

第4の発明では、第1または第2の発明において、前記複数の画素は3原色またはその補色に対応する各色の光電変換画素が所定の順序で規則的に配列されて構成され、前記垂直走査回路および水平走査回路は、前記複数の光電変換画素を間引きなしで順次読み出す場合と実質的に同じ順序で各色の画素が読出されるよう規則的に間引き読み出しを行なうことが可能であることを特徴とする。

このような構成により、カラー撮像装置において間引き読み出しを行なう場合にも全画素読み出しの場合と同じ順序で各色の信号が出力されるから、後の信号処理回路において色信号の順序を並べ換えるなどの処理は不要となり、装置構成

が簡略化される。

【0011】

第5の発明では、第1～4の発明のいずれかにおいて、前記水平走査回路が列グループを順次選択する水平グループ走査回路と、該水平グループ走査回路で選択された列グループの内の所望の列を選択する水平選択回路を含み、該水平選択回路は読み出しを行なわない列の回路の電源を遮断する電源遮断機能を有することを特徴とする。

読み出しを行なわない列の回路の電源を遮断することにより、撮像素子の消費電力を低減することができ、特に電池によって駆動される電子カメラなどにおける電池による動作時間を長くすることができる。

【0012】

第6の発明では、行および列に沿ってマトリクス状に配置された複数の光電変換画素と、前記複数の光電変換画素を順次選択して読み出す走査回路とを具備する固体撮像装置において、全ての行および列に渡り各行および各列の読み出し画素数が均一となるよう、かつ画素の一部を規則的に間引きして読み出し可能であることを特徴とする。

この場合も、間引き読み出しを行なう際に、それぞれの行および列から読出される画素の数が均一となり、間引き読み出しの場合にも解像度を低下させることなく、高品質かつ自然な画像を得ることができる。

【0013】

第7の発明では、複数種類の色の光電変換画素を含む複数の光電変換画素が所定の規則で行および列に沿ってマトリクス状に配列されて構成されたカラー画素マトリクスと、前記カラー画素マトリクスの各光電変換画素を順次選択して読み出す走査回路とを具備する固体撮像装置において、前記カラー画素マトリクスの画素を間引きなしで順次読み出す場合と実質的に同じ順序で各色の画素が順次読出されるように画素を規則的に間引きして読み出し可能であることを特徴とする。

この場合も、間引き読み出しの場合と間引きなしで読み出す場合とで読み出される色信号の順序が同じになるから、信号処理回路などにおいて色信号の順序を

置き換えるなどの処理をする必要がなくなり、装置構成を簡略化することができる。

【0014】

第8の発明では、第2または第7の発明において、前記画素の間引き読み出しは、直前に読み出した画素と行及び列が共に異なる画素を次に読み出すことによって達成されることを特徴とする。

このような間引き読み出しによって、同じ行または列の画素が続いて読み出されることがなくなり、各行および列から読み出される画素の数が均一になり、間引き読み出しの場合にも解像度が低下することがなくかつ自然な画像が得られ、従って高品質の撮像画像が得られる。

【0015】

第9の発明では、第1の発明において、前記グループ走査回路は一括プリセット可能なシフトレジスタで構成され、複数の行グループまたは列グループを同時選択するとともに、選択された行グループまたは列グループの中から前記選択回路によって所望の複数の行または列を同時選択して複数の行または列の信号が合成された信号を出力可能であることを特徴とする。

このような構成によって、撮像装置自体で所望の複数の行または別の最大輝度の信号を得ることができ、簡単な構成で輝度の分布情報を得ることが可能になる。

【0016】

第10の発明では、第9の発明において、全ての行を同時選択して読み出しを行ない、各列毎に全ての行の信号が合成された信号を出力し、これらの信号を水平走査回路で走査して読み出すことにより、各列の最大輝度の画素の分布情報を得ることを特徴とする。

このような構成によって、撮像装置自体で各列の最大輝度の信号を得ることができ、簡単な構成で輝度の分布情報を得ることが可能になる。

【0017】

第11の発明では、第1～10の発明のいずれかにおいて、間引かれた画素の電荷をリセット可能であることを特徴とする。

間引かれた画素の電荷をリセット可能にすることにより、読出されない画素の電荷が出力の映像信号に悪影響を与えることがなくなり、高品質の間引き読み出し画像を得ることができる。

【0018】

第12の発明では、被写体の画像光を受ける撮像レンズと、行および列に沿ってマトリクス状に配置された複数の光電変換画素および該複数の光電変換画素を順次選択して読み出す走査回路を備え、画素の一部を規則的に間引きして読み出し可能な固体撮像装置と、前記固体撮像装置において撮像または記録のための画像信号を得る場合は前記固体撮像装置で間引きなしに順次画素の走査を行ない、前記固体撮像装置で得られる画像の表示のための画像信号を得る場合は前記固体撮像装置で間引き走査を行なうよう制御を行なう制御装置と、を具備することを特徴とする電子カメラが提供される。

このような構成により、電子カメラの固定撮像装置の画素数と、該電子カメラに内蔵されたあるいは該電子カメラ外部の表示装置の画素数とが異なる場合、特に表示装置の画素数が固体撮像装置の画素数より少ない場合に、撮像装置自体から直接表示装置に使用可能な間引きされた画像信号を得ることができる。したがって、回路構成が簡単になると共に、表示の際の撮像装置の読み出しが高速に行なわれかつ消費電力も低減させることが可能になる。

【0019】

第13の発明では、被写体の画像光を受ける撮像レンズと、行および列に沿ってマトリクス状に配置された複数の光電変換画素および該複数の光電変換画素を順次選択して読み出す走査回路を備え、画素の一部を規則的に間引きして読み出し可能な固体撮像装置と、前記固体撮像装置の露光条件の設定を行なう露光制御手段と、撮像または記録のための画像信号を得る場合は前記固体撮像装置で間引きなしに順次画素の走査を行ない、前記露光制御手段による露光制御のための画像信号を得る場合は前記固体撮像装置で間引き走査を行なうよう制御を行なう制御装置と、を具備することを特徴とする電子カメラが提供される。

この場合も露光制御手段による露光制御のための画像信号が間引き走査によって高速度で得られ、露光条件の設定が迅速に行なわれると共に、回路構成を簡略

化しかつ消費電力を低減することができる。

【0020】

【発明の実施の形態】

本発明の実施形態につき説明する前に、従来のBCAST方式の固体撮像装置につき図7を参照して概略の説明を行う。図7は、BCAST方式の固体撮像装置の一例を示すもので、本出願人の出願に係わる特開平9-93494号の図4に示されたものと同じものである。詳細は、該特開平9-93494号に記載されているが、ここで本発明の理解を容易にするため概略の説明を行う。

【0021】

図7の固体撮像装置は、2行2列のマトリクス状に配列された4つの画素 $Q(1, 1)$, $Q(1, 2)$, $Q(2, 1)$, $Q(2, 2)$ を備えている。各画素は、光電変換素子であるフォトダイオード PD_{ij} 、例えば接合型FETからなる増幅素子 QA_{ij} 、前記フォトダイオード PD_{ij} の電荷を増幅素子 QA_{ij} のゲートに転送するMOSFETからなる転送素子 QT_{ij} 、増幅素子 QA_{ij} のゲート電極をプリセットするためのMOSFETからなるスイッチ素子 QR_{ij} で構成されている。なお、 i は行番号、 j は列番号に対応する($i=1, 2$; $j=1, 2$)。

【0022】

また、垂直読出し線 LV_j と水平読出しスイッチ QH_j の間には転送制御スイッチ TS_j と蓄積容量 $CT2_j$ が直列に接続されている。また、転送スイッチ TS_j と蓄積容量 $CT2_j$ との接続点とグランド間に別の蓄積容量 $CT1_j$ が接続されている。また、蓄積容量 $CT2_j$ と水平読出しスイッチ QH_j の接続点とグランド間にはトランジスタスイッチ QRC_j が接続されている。

【0023】

このような固体撮像装置においては、垂直帰線期間中の初めに選択された行の暗出力を読み出す為に、選択された行の ϕRD を $V1$ 、非選択行の ϕRD を $V2$ としてゲート信号 ϕRG を加える。ここで $V1$ は増幅素子 QA_{ij} がオンになる電圧、 $V2$ は増幅素子 QA_{ij} がオフになる電圧である。この時、リセット信号 ϕRC とスイッチ信号 ϕTS を加えてトランジスタスイッチ QRC_j および転送

スイッチ $T S_j$ を共にオンにしておくと、選択された行の暗出力が蓄積容量 $C T_{21}$ と $C T_{22}$ に記憶される。次に、 $\phi R G$ と $\phi R C$ の印加を止めて、画素のリセット素子 $Q R$ と行のリセット素子 $Q R C$ をオフにして、 $\phi T S$ は加えたままで、転送信号 $\phi T G 1$ を加える。これにより、フォトダイオード $P D$ に蓄積された画像信号が増幅素子 $Q A_{ij}$ のゲートに転送されて読み出し信号が蓄積容量 $C T_{11}$ と $C T_{12}$ に蓄積される。すなわち選択された行の全画素の信号が同時に読み出されて蓄積される。これを垂直読み出しまたは行の読み出しと言う。あるいは、以下の実施例中では n 行目を読み出すと記す。

【0024】

以上のようにして垂直読み出し終了後、まず水平リセット信号 $\phi R S T H$ を加えて、水平読み出し線の残存電荷をリセットして、次に水平駆動回路から順次列選択信号例えば $\phi H 1$ を加えると蓄積容量 $C T_{11}$ と $C T_{21}$ に蓄積されていた信号電荷が読み出される。再度 $\phi R S T H$ により水平読み出し線 $L H$ の電荷をリセットし、 $\phi H 2$ を加えると蓄積容量 $C T_{12}$ と $C T_{22}$ に蓄積されていた信号が読み出される。これを水平読み出しまたは列の読み出しと言う。あるいは以下の実施例中では m 列目を読み出すと記す。

【0025】

次に、図面を参照して本発明の実施形態を説明する。

図1は、本発明の一実施形態に係わる固体撮像装置全体の概略の構成を示す。同図の固体撮像装置は、マトリクス状に光電変換画素が配列された画素マトリクス1と、画素マトリクス1の垂直方向の走査を行なうための垂直シフトレジスタ3および垂直選択回路5、画素マトリクス1の水平方向の走査および信号読み出しを行なうための水平シフトレジスタ7および水平選択回路9を備えている。

【0026】

画素マトリクス1における各画素は任意の光電変換画素で構成できるが、好ましくはフォトダイオードのような光電変換素子と増幅回路とを備えた増幅型光電変換画素とされる。垂直シフトレジスタ3は垂直クロック信号 $V c l k$ を受けて各回路段ごとに順次所定の電圧の信号を出力し所定数の行からなる行グループごとの選択を行なうものである。水平シフトレジスタ7は同様に水平クロック信号

H c l k を受けて各回路段の出力に所定の電位の信号を順次出力し所定数の列からなる列グループごとの選択を行なうものである。垂直選択回路 5 および水平選択回路 9 は、それぞれ、垂直シフトレジスタ 3 および水平シフトレジスタ 7 からの各回路段の出力に応じて選択された行グループおよび列グループの内からさらに特定の行および列を選択するために必要な信号を出力し画素マトリクス 1 に印加するものである。

【0027】

この実施形態では、垂直シフトレジスタ 3 および水平シフトレジスタ 7 はそれぞれ画素マトリクス 1 の垂直方向および水平方向の画素数の $1/4$ の数の回路段を備えるものとされる。したがって、垂直シフトレジスタ 3 および水平シフトレジスタ 7 はそれぞれ垂直および水平方向の 4 つの画素からなる画素グループを選択または指定する。垂直選択回路 5 および水平選択回路 9 は、それぞれ、垂直シフトレジスタ 3 および水平シフトレジスタ 7 で選択された画素グループの中からさらに必要な画素を選択する。

【0028】

図 2 は、本発明の 1 実施形態に係わる固体撮像装置の 1 画素だけに着目した構成を示す。同図の回路では、画素 21 と、読出し回路 22 と、垂直読み出し線 L V と、水平読出し線 L H などが示されている。図 2 の回路は、読出し回路 22 の部分を除き図 7 の回路と実質的に同様の構成を有する。

【0029】

画素 21 は、フォトダイオード P D と、転送スイッチ Q T と、増幅素子 Q A と、リセット用スイッチ素子 Q R を備え、図 7 に示されるものと同じ構成を有する。また、読出し回路 22 においては、垂直読出し線 L V と定電流源 C C との間にスイッチ素子 P S 2 が配置されている。また、垂直読出し線 L V からの出力を増幅するバッファ用増幅器 B A の電源回路に別のスイッチ素子 P S 1 が設けられている。その他の部分は図 7 に示す固体撮像装置と実質的に同じ回路でよい。

【0030】

スイッチ素子 P S 1 と P S 2 は、後に説明するように、画素の間引き読出しを行う場合に、間引かれた、即ち読出しが必要でない画素についてはこれらのスイ

タッチ素子をオフとして消費電力の低減を図るためのものである。信号読出しを行う画素については、これらのスイッチ素子 $PS2$ および $PS1$ は共にオンとされ、画素 21 の増幅素子 QA が定電流源 CC の働きによりソースフォロワとして動作すると共に、該ソースフォロワからの出力がバッファアンプ BA を介して後段の回路へと出力できるようになる。

【0031】

図3は、図1の固体撮像装置における垂直選択回路5および水平選択回路9の1ブロック分の回路構成を示す。図3の回路は、垂直選択回路5および水平選択回路9の双方に当てはまるもので、各選択回路の1ブロック分、即ち垂直選択回路の5の場合は4行分を、水平選択回路9の場合は4列分の回路を示している。図3の回路は、4個の3入力ANDゲートからなる第1のANDゲート群31と、4個の2入力ANDゲートからなる第2のANDゲート群33を備えている。第1のANDゲート群31は例えば水平シフトレジスタ7からのアドレス信号 ϕH_n とブロック内の選択信号 $\phi S1$, $\phi S2$, $\phi S3$, $\phi S4$ と、制御信号 ϕTx とのAND操作を行ってブロック内の行または列を選択する。図3では、前記画素の制御信号 ϕTG , ϕRG , ϕRD を一般化して ϕTx で表している。従って、第1のANDゲート群31はこれらの制御信号の数だけ設けられる。

【0032】

また、図3の第2のANDゲート群33は、制御信号 ϕTy とブロック内の選択信号 $\phi S1$, $\phi S2$, $\phi S3$, $\phi S4$ とのAND操作を行って、 ϕTY_i ($i = 1, 2, 3, 4$) を得るためのものである。この第2のANDゲート群33は、水平帰線期間内に垂直読出し線に出力される信号の蓄積などの処理を行うための信号であり、この場合も $\phi PS1$, $\phi PS2$, ϕTS , ϕRC などの制御信号を一般化して ϕTy で示している。従って、第2のANDゲート群33はこれらの制御信号の数だけ設けられる。

【0033】

なお、第1および第2のANDゲート群31, 33は共に、選択信号 $\phi S1$, ..., $\phi S4$ に従って、同じブロック内であれば複数の行や列も選択可能である。例えば、第2のANDゲート群33において、選択信号 $\phi S1$ と $\phi S3$ とを同時

に加えれば、 $\phi Ty1$ と $\phi Ty3$ を同時に選択して出力できる。

【0034】

次に、一例として図4に示される色配列を有する画素マトリクスの場合につき、上記構成に係わる固体撮像装置の画像信号読み出し手順を説明する。

【0035】

<全画素読み出し>

全画素読み出しの場合は、まず、垂直シフトレジスタ3で画素マトリクスの行の第1ブロックを選択し、垂直選択回路5で該第1ブロック内の1行目、すなわち撮像素子の1行目を読み出す。このために、図3の信号 Hn として、垂直シフトレジスタ3の信号を加え、かつ垂直選択信号として $\phi S1$ を加える。水平シフトレジスタ7も同様にして別の第1ブロックを選択し、水平選択回路9で第1ブロック列の1列目すなわち画素マトリクスの1列目を読み出す。すなわち、撮像素子の画素マトリクスの1行、1列目を読み出す。これを画素の(1, 1)と表示する。

【0036】

続いて、水平シフトレジスタ7はそのままの状態、第1ブロック列の2列目、画素では(1, 2)を読み出す。同様に、(1, 3), (1, 4)を読み出す。次に、水平シフトレジスタ7を1段進めて第2ブロック列(5~8列目)を選択可能とし、選択回路で順に(1, 5), (1, 6), (1, 7), (1, 8)を読み、さらに水平シフトレジスタ7を1段進めて(1, 9), (1, 10), (1, 11), (1, 12)を順次読み出す。

【0037】

このようにして以下同様の方法で1行目の画素を読み出し終えたら、次に2行目の画素の読み出しを行なう。この場合、垂直シフトレジスタ3はそのままの状態、垂直選択回路5で第1ブロック行の2行目、すなわち画素マトリクスの2行目を読み出し、同様に水平シフトレジスタ7と水平選択回路9で2行目の信号を順次読み出す。3行目、4行目も同様に読み出し、第1ブロック行の4行分の読み出しが終了すれば、垂直シフトレジスタ3を1段進めて第2ブロック行の読み出しを可能とし、垂直選択回路5で5, 6, 7, 8行目を順次同様にして読み

出す。

【0038】

〈単純な2分の1間引き〉

次に、各列と行を2分の1ずつ間引きして読み出す例を説明する。前と同様に、垂直シフトレジスタ3で、第1ブロック行の選択を可能とし、垂直選択回路5で最初の行、すなわち画素マトリクス of 1行目を読み出す。水平列の読み出しは、まず第1列ブロックの1列目（画素マトリクス of 1列目）の画素（1，1）を読み出す。次に、水平シフトレジスタ7は進めず、すなわちそのままの状態、水平選択回路9で第1列ブロックの3列目、（1，3）の画素を読み出す。次に、水平シフトレジスタ9を1段進めて、第2列ブロックの1列目すなわち画素マトリクス of 5列目を読み出し、次に第2列ブロックの3列目すなわち画素マトリクス of 7列目を読み出す。ここまでの読み出しで、（1，1），（1，3），（1，5），（1，7）の画素が読み出されたことになる。同様に、（1，9），（1，11），（1，13），（1，15），…を読み出す。

【0039】

1行目を読み終えたら、垂直選択回路で第1行ブロックの3行目すなわち画素マトリクス of 3行目を選択して、（3，1），（3，3），（3，5），（3，7），…を読み出す。3行目を読み終えたら、垂直シフトレジスタ3を1段進めて第2行ブロックすなわち画素マトリクス of 第5～8行目を選択可能とし、第2行ブロックの1行目と3行目すなわち画素マトリクス of 5行目と7行目を読む。以上の動作を進めると読み出される画素の順序は次の表で表わされるようになる。

【表1】

（1，1），（1，3），（1，5），（1，7）……
（3，1），（3，3），（3，5），（3，7）……
（5，1），（5，3），（5，5），（5，7）……
（7，1），（7，3），（7，5），（7，7）……

すなわち、奇数列、奇数行の画素が順次読み出される。画素マトリクス全体では行および列とも2分の1ずつ読み出すので読み出される画素数は4分の1となる。

【0040】

〈単純な4分の1間引き〉

この場合は、第1行ブロック（1～4行）の最初の行、すなわち、画素マトリクスの1行目から読み出し、水平走査回路では第1列ブロック（1～4列）の最初の列すなわち1列目を読み出す。続いて、水平シフトレジスタ7を1段進めて第2列ブロック（5～8列）の最初の列すなわち5列目を読む。以下同様に、9，13，17，…列を順次読み出す。1行目の最後の列が読み出されたら、垂直シフトレジスタ3を1段進め、次の行ブロックの最初の行を選択し画素マトリクスの5行目を読み出すことになる。すなわち、水平走査回路でこの場合も同様に、1，5，9，13，…列を順次読み出す。したがって、読み出される画素の順序は次の表で示されるようになる。

【表2】

(1, 1),	(1, 5),	(1, 9) ……
(5, 1),	(5, 5),	(5, 9) ……

この場合は、行と列の4分の1ずつが読み出されるので画素全体では16分の1が読み出される。

【0041】

〈千鳥間引き〉

以上の読み出し例では、簡便のため各行ブロックの第1行目を読み出すようにしていた。しかしながら、読み出されない行または列にも画像の情報があるので、それらも読み出した方が高画質なより自然な画像が得られる。このため、一例として千鳥配列に読み出す場合を説明する。すなわち、読み出す画素の順序（行，列）を以下の表で示されるようにすると、全ての行と全ての列に含まれる情報を均一に読み出すことが可能になる。

【表3】

(1, 1), (2, 3), (1, 5) ……
 (3, 2), (4, 4), (3, 6) ……
 (5, 1), (5, 3), (5, 5) ……

このような読み出しを行なうためには、垂直帰線期間内に複数行を読み出し、垂直読み出し線の出力を記憶する手段、すなわち図2に示される容量CT1およびCT2、を使用する。例えば、表3の例では、第1行ブロックを読み出すときには、水平帰線期間の始めに1行目を読み出し1, 5, 9, …列目をそれぞれの列の容量に記憶する。

【0042】

このためには、図3の第2のANDゲート群33を使い、 $\phi S1$ と ϕTy で代表してある信号として、 ϕTS と ϕRC を利用する。図7の従来例では読み出された行の全ての列の信号を蓄積容量に蓄積していたが、この例では選択された列、すなわち各ブロック列の第1列すなわち1, 5, 9, …列の信号のみが蓄積容量CT1とCT2に蓄積される。続いて2行目を読み出し、 $\phi S3$ と ϕTS と ϕRC により、各ブロック列の第3行すなわち3, 7, 11, …列目の信号を記憶する。水平読み出し期間では、第3図の第1のANDゲート群31を利用し水平シフトレジスタ7からの信号と、選択信号 $\phi S1$ と $\phi S3$ により各ブロック列の第1列と第3列を順次読み出す。すなわち1, 3, 5, 7, …列が読み出されるが、このうち3, 7, …列は2行目の信号であるから、表3の順に読み出されることになる。

【0043】

以上のようにして、第1行ブロック、画素の1, 2行目を読み出した後に、水平帰線期間内に第2行ブロック、画素の3, 4行目を読み出す。この場合は、画素の3行目を読み出すときは $\phi S2$ を使用して、2, 6, 10, …列目を記憶し、画素の4行目を読み出すときは $\phi S4$ を利用して4, 8, 12, …列目を記憶する。このため、垂直シフトレジスタ3と水平シフトレジスタ7のアドレスの組

合せて選択される画素を順次切り換える。

【0044】

ここで図5を使用して、このような千鳥間引き読出しを行う場合の動作を前記図1～図3の回路をも参照しながら説明する。

図5でT1, T2, T3, T4は水平帰線期間であり、T5以後は水平読出し期間である。図5では、i行とj行を読み出し、1列とm列を記憶する場合のタイミング図を示している。上の例では $i=1$, $j=2$ で、 $1=1, 5, 9, \dots$ および $m=3, 7, 11, \dots$ である。

図5のT1はi行の画素のリセット期間であり、T2はi行の読み出し、T3はj行のリセット期間であり、T4はj行の読出し期間である。

【0045】

T1でi行の画素の増幅手段のリセットを行い、i行（上記例では1行目）の各画素の暗出力を読み出す。この時水平読出し手段は、1列（上記例では1, 5, 9…）のみが動作し、各列の蓄積手段（図2のCT2）に蓄積する。

続いてT2で ϕTG_i を加えて、信号を増幅手段（図2図のQA）に転送し、信号電圧をソースフォロワ動作で読み出す。蓄積手段に蓄積する。この時、水平読出し回路は1行のみが動作するので、上記の例では、1行目の全画素が読み出されるが、1列（1, 5, 9…列）の信号のみが蓄積手段（図2のCT1）に蓄積される。

【0046】

T3では、j行（上記例では2行）のリセットを行って、m行（上記例では、3, 7, 11列）の暗出力を各列の第2蓄積手段に蓄積する。

T4では、 ϕTG_1 を加えて、信号を増幅手段（図2のQA）に転送し、信号電圧をソースフォロワ動作で読み出す。蓄積手段に蓄積する。この時、水平読出し回路は、1行のみが動作するので、上記の例では、2行目の全画素が読み出されるが、m列（3, 7, 11…列）の信号のみが蓄積手段（図2のCT1）に記憶される。

【0047】

T5は、水平読出し期間であり水平シフトレジスタと水平選択手段で1, 3,

5, 7, 9, 11列を読み出すが、1, 5, 9列にはi行（上記例では1行）の信号3, 7, 11列にはj行（上記例では2行）の信号が蓄積されているので、列を順番に読み出すことにより、i行1列とj行m列に読み出される。

このような動作により、前述の千鳥間引き読み出しが行われ、(1, 1), (2, 3), (1, 5), (2, 7), ...が順次読み出される。

【0048】

＜カラー用単純間引き＞

カラー撮像素子の場合、単純な間引きではカラー用の各色の信号が得られない場合がある。例えば、図4の画素の配列の場合に列を2分の1に間引くとG（緑）の画素の信号しか読み出せない。これを避けるため、各列ブロック中の選択されるべき画素を、水平シフトレジスタ7のアドレスによって切り替える。この場合、選択される色の順序が読み出しモードによらず一定とすることが望ましい。例えば全画素読み出しと間引き読み出しで選択されかつ読み出される色の順序が同じとなるようにすることによって、後に画素の色の順序を切り替えるための処理などが不要になり好ましいからである。

【0049】

図4の色配列を有する画素間マトリクスの場合に、全画素読み出しではG（緑）, R（赤）, G, B（青）, G, R, ...の順に読み出される。したがって、2分の1間引きの場合もこれと同じ色順序で読み出されるように、1行目を読み出すときには第1列ブロックの1列目と2列目すなわち画素の1列目と2列目を読み、第2列ブロックでは1列目と4列目すなわち画素では5列目と8列目、第3列ブロックでは1列目と2列目すなわち画素マトリクスの9列目と10列目を読み出す。すなわち、偶数列ブロックではブロック内の1列目と2列目、奇数列ブロックではブロック内の1列目と4列目を読み出すようにする。

【0050】

次に、第1行ブロックの3行目すなわち画素マトリクスの3行目を読む場合には、奇数列ブロックでは1列目と4列目、偶数列ブロックではブロック内の1列目と2列目を読むようにする。

【0051】

これによって読み出される画素の順序は以下の表のようになる。

【表 4】

(1, 1), (1, 2), (1, 5), (1, 8), (1, 9) ……
 (3, 1), (3, 4), (3, 5), (3, 6), (3, 9) ……

このようにして読み出される画素の色は、図 4 の色配列の場合には次の表のようになる。

【表 5】

G R g b G r g B G R g b G r g B
 g b g r g b g r g b g r g b g r
 G r g B G R g b G r g B G R g b
 g b g r g b g r g b g r g b g r
 G R g b G r g B G R g b G r g B
 g b g r g b g r g b g r g b g r
 G r g B G R g b G r g B G R g b

この場合、大文字で示した部分が間引き時にも読み出される画素であり、小文字は間引き時には読み出されない画素を示している。また、読み出される色の順序は G, R, G, B, G, R, G, B, …… となって全画素読み出しと同じ順序で色情報を含めた画素の信号が読み出される。

【0052】

次に、4 分の 1 間引きの場合には、それぞれの行ブロックおよび列ブロックで決定されるブロック中の 1 つの所定の画素を選択して順次読み出すようにする。読み出す順序は例えば次の表のようになる。

【表 6】

(1, 1), (1, 6), (1, 9), (1, 16) ……

(5, 1), (5, 8), (5, 11), (5, 14) ……

この読み出し順序を色配列を含めて示せば次のようになる。

【表7】

```

G r g b g R g b G r g b g r g B
g b g r g b g r g b g r g b g r
g r g b g r g b g r g b g r g b
g b g r g b g r g b g r g b g r
G r g b g r g B g r G b g R g b
g b g r g b g r g b g r g b g r
g r g b g r g b g r g b g r g b
g b g r g b g r g b g r g b g r
    
```

【0053】

＜カラー千鳥間引き＞

以上のカラー用間引きの例では、簡便のため各行ブロックに読み出されない行があった。しかしながら、読み出されない画素にも画像の情報があるので、それらも読み出した方が高画質かつ高忠実度の画像信号が得られる。このような読み出しを行なうためには、垂直帰線期間内に複数行の画素を読み出し、垂直読み出し線の出力を記憶する手段を使用する。例えば、図4の色配列を有する画素マトリクスの例では、まず、第1行ブロックの1, 2行目を読み出す場合には、水平帰線期間の始めに1行目を読み出し1, 8, 9, 16, …列目を記憶する。続いて2行目を読み出し4, 5, 12, 13, …列目の信号を記憶する。また、水平読み出し期間では1, 4, 5, 8, 9, 12, 13, 16, …列目を順次読み出す。

【0054】

以上のようにして、画素の1, 2行目を読み出した後に、次の水平帰線期間内に、第1行ブロックの3, 4行目すなわち画素マトリクスの3, 4行目を読み出

す。この場合、画素マトリクスの3行目を読み出すときは4, 5, 12, 13, …列目を記憶し、4行目を読み出すときは1, 7, 8, 16, …列目を記憶する。以下、第2行ブロックの1, 2行目読み出し、次に第2行ブロックの3, 4行目読み出しのように、同様の動作を繰り返す。このように走査することにより、全画素読み出しと同じ色の順序で間引き読み出しが行なえ、かつ各行の色の情報が得られる。

【0055】

この場合に読み出される画素の順序は次のようになる。

【表8】

(1, 1), (2, 4), (2, 5), (1, 8), (1, 9) ……
 (4, 1), (3, 4), (3, 5), (4, 8), (4, 9) ……
 (5, 1), (6, 4), (6, 5), (5, 8), (5, 9) ……

【0056】

また、色配列で示せば次の表に示されるようになり、大文字で示される色の画素を順次読み出すことになる。

【表9】

G r g b g r g B G r g b g r g B
 g b g R G b g r g b g R G b g r
 g r g B G r g b g r g B G r g b
 G b g r g b g R G b g r g n g R
 G r g b g r g B G r g b g r g B
 g b g R G b g r g b g R G b g r
 g r g B G r g b g r g B G r g b
 G b g r g b g R G b g r g b g R

なお、以上の例では、読み出す画素の色の順序を全画素読み出しと同じ順序にな

るように保ったままで、なるべく各行と列を均一に読み出せるような場合を例示した。しかしながら、本発明はこれに限定されるものではなく、別の順序で各画素の読み出しを行なうこともでき、あるいは読み出す画素の色の順序は全画素読み出しの順序と異なってもよい。

【0057】

〈部分読み出し〉

以上では、画素マトリクス領域全体から間引きながら読み出す方法について説明した。次に、画素の一部のせまい領域から解像度のよい画像が必要な場合などに有効な方法として、一部の領域の画素のみを選択して読み出す方法について説明する。

【0058】

この場合は、読み出しの必要のない行ブロックでは信号を読み出さず、ブルーミング防止のため画素のリセットのみを行なって垂直シフトレジスタ3を1段ずつ順次進める。

【0059】

例えば、読み出したい画素が130行から283行の262列から358列の例を考える。この場合には、128行すなわち第32行ブロックまでは、各行ブロック内の全行を選択し ϕTG と ϕRG を発生させる、すなわちアクティブにする。具体的には、各ブロック行内の全行を選択するために、 $\phi S1$ 、 $\phi S2$ 、 $\phi S3$ 、 $\phi S4$ の全てを加えて、全行に ϕTG と ϕRG を発生させる。これによって、信号の読み出しを行なわず、画素に蓄積されて残っている電荷を排出してリセットが行なわれ、ブルーミングが防止される。そして、第33行ブロックに達すると最初の行すなわち129行を選択し同様にリセット動作を行なう。この期間までは水平シフトレジスタ7を動作させず高速に走査させる。同じ行ブロックの第2行は目的の130行目であるから、 ϕTG 、 ϕRD および ϕRG によって130行の全列の信号を読み出す。

【0060】

水平読み出しにおいても、不要な列ブロックは読み出さず、水平シフトレジスタ7だけを1段ずつ順次進める。読み出しの必要な列ブロック、上記例では第6

6列ブロックに到達したら、この列ブロックには261行から264行まで含まれるから、この列ブロックの第2列から順次読み出しを行なう。264列を読み終えたら、水平シフトレジスタ7を1段進め第67列ブロックの読み出しを行なう。この動作を同様にして進め358列すなわち第90列ブロックの第2行目までの読み出しを終えたら、後は不要な画素であるから読み出しを行わず、水平シフトレジスタ7を順次高速に進める。

【0061】

次に、同じ行ブロックの第3行すなわち131行を読み出し、同様に262列から358列を読み出す。さらに、132行を読んだ後、垂直シフトレジスタ3を1段進め第67行ブロックとしその第1行から第4行を読む。この動作を同様に反復する。

【0062】

読み出す最後の行は283行であり、第71行ブロックの第3行であるから、この行目まで同様の動作を繰り返す。283行の読み出しを終了したら後の行の読み出しは不要であるから、単に画素のリセット動作だけを行なう。

【0063】

〈消費電力低減〉

電子カメラは通常電池で駆動されるから、消費電力を押さえることが極めて重要である。このため、間引きによって高速化されたフレーム数を、全画素読み出しのフレーム数と同じに保つ。例えば、4倍化された撮像フレーム数を、全画素と同じに保つ場合には、4倍に高速化されたフレーム数の内3フレーム分は撮像素子全体を電氣的に遮断して動作を停止させることが可能になる。これによって、消費電力は4分の1で済む。また、縦横をそれぞれ1/4とした合計1/16画素の読み出しの場合には、消費電力は1/16に低減できる。

【0064】

さらに、前記図2に関して説明したように、垂直読み出し線に画素のソースフォロアの動作を止めて電流を遮断する回路PS2を設け、かつ間引き読み出し時に選択されない列の垂直読み出し回路の動作を止めてカットオフさせるための制御回路PS1を設けることにより更なる消費電力の低減が可能である。

【0065】

例えば、前述の単純間引きの場合、2, 4, 6, …列は読み出されない。また、千鳥間引きの場合、間引き後の1行目（ISの画素では1, 2行目）では2, 4, 6, …列目は読み出されず、間引き後の2行目（ISでは、3, 4行目）では1, 3, 5, …列目は読み出されない。したがって、読み出されない列の垂直読み出し回路は電氣的に遮断させておくことが可能である。これは、図2の回路における回路PS1とPS2をオフにして定電流手段とバッファアンプをカットオフさせればよい。このためには、図3の第2のANDゲート群33を利用し、 ϕTy として電源制御信号を加える。そして、例えば、奇数列を選択し偶数列をカットオフさせるためには $\phi S1$ と $\phi S3$ を同時に加え、逆に偶数列を選択し、奇数列を遮断させるためには $\phi S2$ と $\phi S4$ を同時に加えて、ANDゲートの出力で、PS1とPS2を制御すればよい。このようにして、撮像素子の消費電力を低減することにより、発熱量が低下し暗電流が減少しより高画質の撮像を行なうことが可能になる。

【0066】

〈変形例〉

以上の本発明の実施形態では、水平、垂直のシフトレジスタ1段当たりそれぞれ4列、4段分の画素を割当てていたが、これは理解を容易にするためと現状の固体撮像装置と表示装置の画素数に対応させるためである。しかしながら本発明はこれに限定されるものではなく、1段当たりの画素数を他の数に割当ててもよいことはいうまでもない。また、カラー撮像装置の場合の選択画素についても、各ブロックに全色の画素が含まれるので、画素の配列にしたがって順に選択することも明白である。すなわち各ブロックの中で、全画素読み出しの場合と同じ色の順序で読み出せるように選択信号を発生・制御すればよい。

【0067】

また、色の配列が図4と異なる場合でも、基本的にはR, G, Bの3原色か、あるいはその補色のシアン、マゼンタ、イエローの3色の組合せで構成される。したがって、本発明の基本ブロックである4行×4列の合計16画素の中には所望の色の画素が含まれるはずであるから、シフトレジスタの段と選択信号（ ϕS

1, $\phi S 2$, $\phi S 3$, $\phi S 4$) の組合せで所望の色画素を選択して読み出せばよい。その場合でも原則は全画素を読み出すときと同じ色の順序とすることが好ましく、さらに好ましくは特定の行や列に片寄らずなるべく均一に分布することが望ましい。

【0068】

〈一括リセット〉

以上の説明では、垂直・水平シフトレジスタに通常のものを利用して説明したが、本出願人が以前に出願した一括プリセット可能なシフトレジスタを利用した場合について以下に説明する。特開平 8-172581 および特開平 9-51480 を参照。

【0069】

すなわち垂直シフトレジスタを一括プリセットすれば全段の読み出しが可能となる。この場合、本発明では、垂直シフトレジスタの後に選択手段が設けられているから、例えば $\phi S 1$ を加えると、1, 5, 9, ... ($4N+1$ ($N=0, 1, 2, \dots$)) 行が同時に選択でき、 $\phi S 1$ と $\phi S 3$ を加えると奇数行が同時に選択される。あるいは $\phi S 1$ から $\phi S 4$ を加えると全行が選択できる。以上のようにして、複数行を同時に選択して読み出すと、本発明の画素は増幅手段 QA をソースフォロワとして動作させているから、垂直読み出し線に出力される信号は選択された行の内最大輝度の成分が読み出される。

【0070】

〈モノクロ用〉

したがって、白黒のイメージセンサの場合には全行を同時に選択読み出して水平選択手段で順次読み出せば、各列に属する最大輝度の画素の水平方向の分布が得られる。この分布を読み出せば水平走査手段を 1 回走査するだけでよいから、例えば露光条件の設定に使用した場合にさらに高速の設定が可能になる。

【0071】

〈カラー用〉

カラー用のイメージセンサの場合で、本発明の図 4 に示した画素配列の場合には、以上のような全行読み出しを行なうと奇数列は緑 (G) の信号が読み出され

るが、偶数列は赤（R）と青（B）が混合して読み出される。これが望ましくない場合は、カラー用イメージセンサの場合には、 $\phi S1$ と $\phi S3$ を加えて奇数行のみを選択すると、1, 3, 5, ...の奇数列にはG信号、2, 6, 10, ...の偶数列...にはR信号、4, 8, 12, ...の偶数列にはB信号が読み出されるようになる。

【0072】

あるいは、 $\phi S2$ と $\phi S4$ を同時に加えて偶数行のみを選択して読み出すと1, 3, 5, 7, ...列には同様にG信号が出力され、2, 6, 10, ...行にはB信号が出力され、4, 8, 12, ...にはR信号が読み出される。

このどちらかを利用すれば1回の水平走査手段の走査で露光設定のための信号が得られ、両方を利用すれば2回の水平走査手段の走査でより詳しい情報が得られる。

さらに、 $\phi S1$ から $\phi S4$ まで順に加えることにより4回の水平走査でさらに厳密な各色の輝度の分布が得られる。

【0073】

図6は、本発明に係わる固体撮像装置を使用した電子カメラの構成例を示す。同図の電子カメラは、撮像レンズ61と、本発明に係わる固体撮像装置63と、信号処理回路65と、例えばマイクロプロセッサにより構成される中央処理ユニット（CPU）67と、メモリ69と、表示装置71と、露出制御回路73を備えている。

【0074】

固体撮像装置63は図1などによって説明した前記固体撮像装置でよい。メモリ69はCPU67の処理のためのRAMおよびROMの他に、画像信号の記憶用として画像メモリ部を含んでいる。画像メモリ部は、種々のメモリ装置を使用でき、例えばフロッピーディスクドライブ、フラッシュカードメモリ、ハードディスクドライブ装置、ICカードなど任意のものが使用できる。表示装置71は液晶表示装置を使用することができ、該液晶表示装置の表示画素数は固体撮像装置63の画素数より小さくてもよい。また、表示装置71は電子カメラに内蔵してもよくあるいは外付けでもよい。なお、前述のメモリ69における画像メモリ

も電子カメラに内蔵のものとすることもでき、あるいは外付けあるいは交換可能なものとしてすることができる。

【0075】

このような電子カメラにおいては、撮像前の画像表示の際は、固体撮像装置 63 によって間引き読み出しを行ない信号処理回路 65、CPU 67などを介して表示装置 71において表示が行なわれる。この場合、表示装置 71の画素数が固体撮像装置 63の画素数より少ない場合に、間引き読み出しによって両者の整合を図ることができ、かつ低消費電力高速度の表示が行なわれる。また、露出制御回路 73によって撮像条件の設定を行なう場合にも、固体撮像装置 63によって間引き読み出しを行ない得られた画像信号を信号処理回路 65およびCPU 67などで処理して高速度の露出設定を行なうことができる。このような表示および露出条件の設定後、固体撮像装置 63は全画素読み出しを行ない信号処理回路 65、CPU 67を介して得られた画像信号データをメモリ 69に記憶する。これにより、高解像度の撮像が行なわれる。

【0076】

【発明の効果】

以上のように、本発明によれば、固体撮像装置と該固体撮像装置で得られた画像信号により表示を行なう表示装置との画素数が異なる場合にも、走査の無駄を発生させることはなく、高速かつ必要十分な画像品質でかつ低消費電力で表示のための画像信号を得ることが可能になる。

【0077】

また、撮像前の撮像条件を設定するために固体撮像装置から得た画像信号を使用する場合にも、間引き読み出しを行なうことによって必要十分な信号を高速度かつ低消費電力で得ることが可能になる。したがって、撮像前の撮像条件の設定が迅速に行なわれ、所望の被写体を迅速に撮像することが可能になる。

【0078】

また、シャッタ速度や絞りなどの露光条件の設定のためには、画面内でなるべく広範囲の画像情報を得ることが望ましいが、全画素を読み出す必要はなく、上述の画像表示用に読み出した $1/4$ や $1/16$ に間引いた画像信号を使用するこ

とによって露光条件の設定に必要な十分な情報を短時間で得ることができる。

【0079】

さらに、部分的に所定の箇所を読み出し、間引き読み出しの情報と組み合わせることにより、部分読み出し部分に重点を置いた露光条件の設定なども可能になる。したがって、露光条件の設定に際しても自由度の高いよりの確な設定が可能になる。

【図面の簡単な説明】

【図1】

本発明の一実施形態に係わる固体撮像装置の概略の構成を示すブロック図である。

【図2】

図1の固体撮像装置の構成を1画素分の回路で詳細に示す部分的回路図である。

【図3】

図1の固体撮像装置における水平および垂直選択回路の1ブロック分の構成を示す部分的回路図である。

【図4】

図1の固体撮像装置における画素マトリクスの各画素の色配列の例を示す色配列図である。

【図5】

本発明に係わる固体撮像装置の間引き読み出しの動作を説明するためのタイミングチャートである。

【図6】

本発明に係わる固体撮像装置を使用した電子カメラの概略の構成を示すブロック図である。

【図7】

従来の固体撮像装置の概略の構成を示す電気回路図である。

【符号の説明】

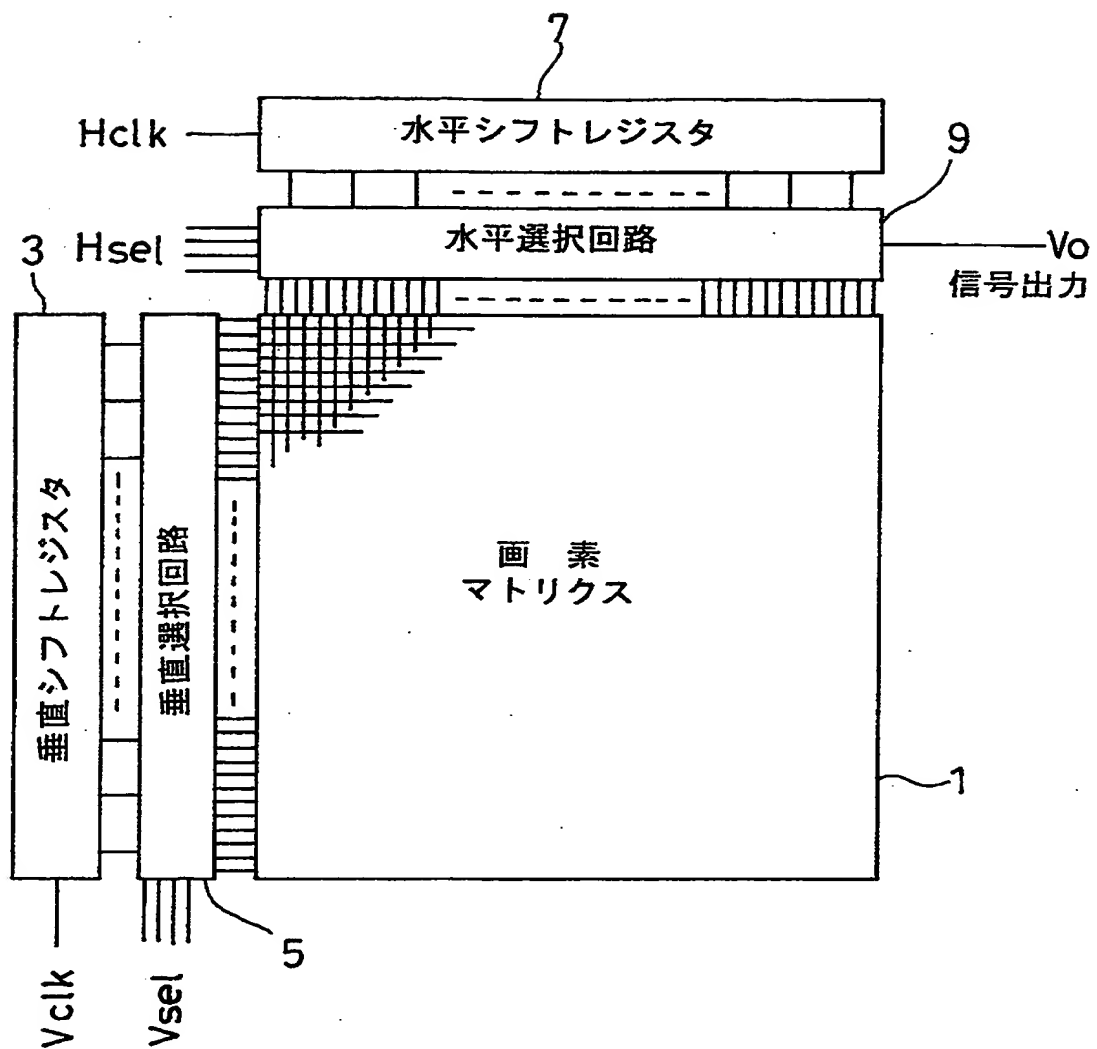
- 1 画素マトリクス

- 3 垂直シフトレジスタ
- 5 垂直選択回路
- 7 水平シフトレジスタ
- 9 水平選択回路
- 21 画素
- 22 読み出し回路
- PD フォトダイオード
- QT 転送用スイッチ素子
- QA 増幅素子
- QR リセット用スイッチ素子
- LV 垂直読み出しライン
- CC 定電流源
- BA バッファアンプ
- CT1, CT2 蓄積容量
- PS1, PS2, TS, RC, Hi スwitch素子
- LH 水平読み出しライン
- 31 第1のANDゲート群
- 33 第2のANDゲート群
- 61 撮像レンズ
- 63 固体撮像装置
- 65 信号処理回路
- 67 中央処理ユニット (CPU)
- 69 メモリ
- 71 表示装置
- 73 露出制御回路

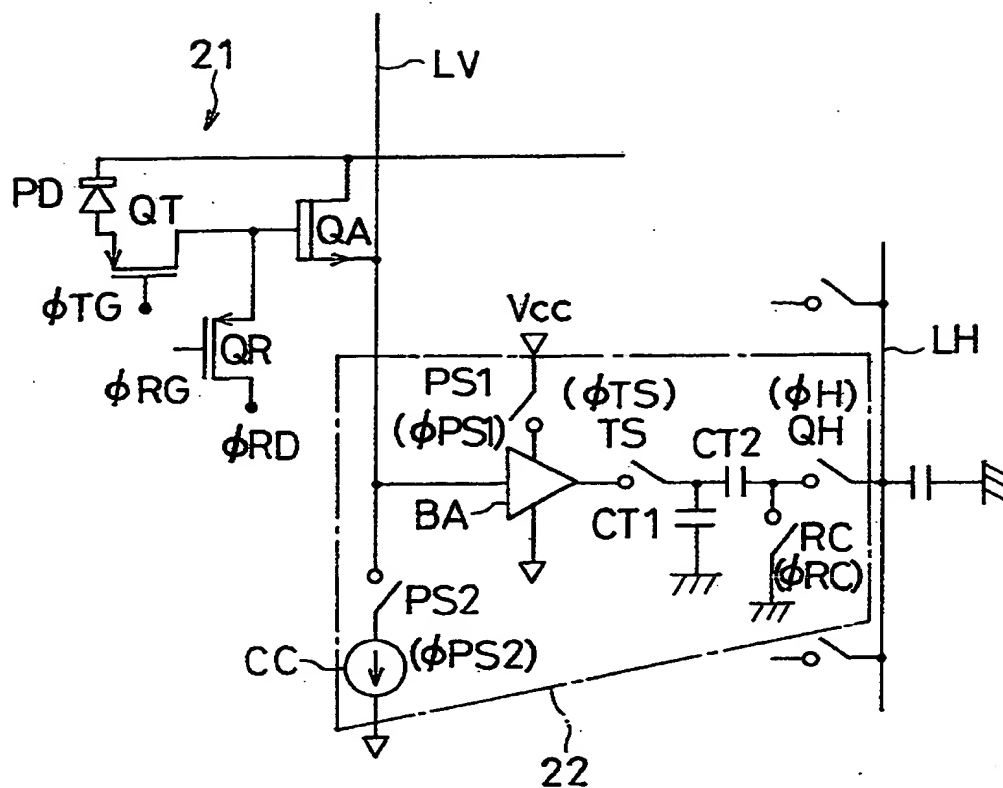
【書類名】

図面

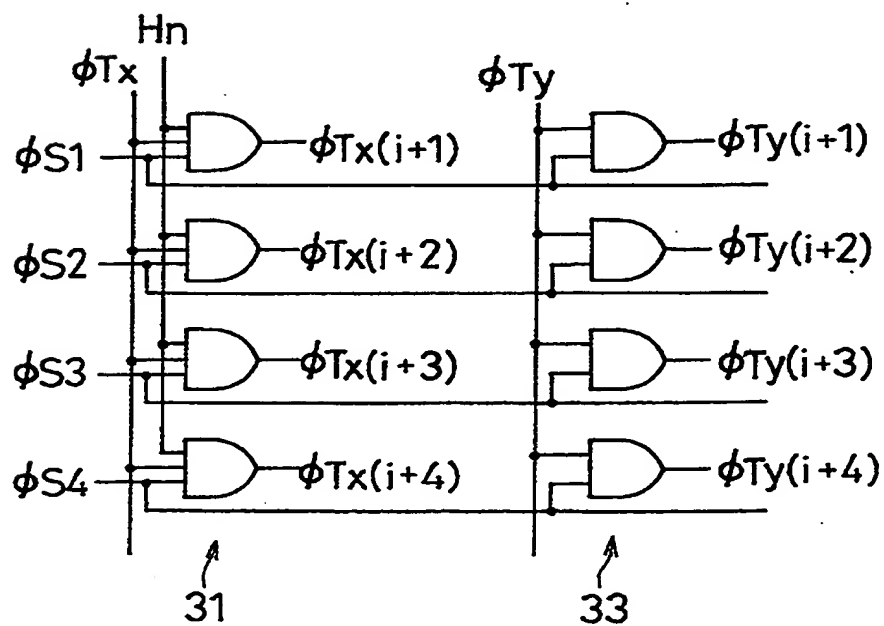
【図 1】



【図 2】



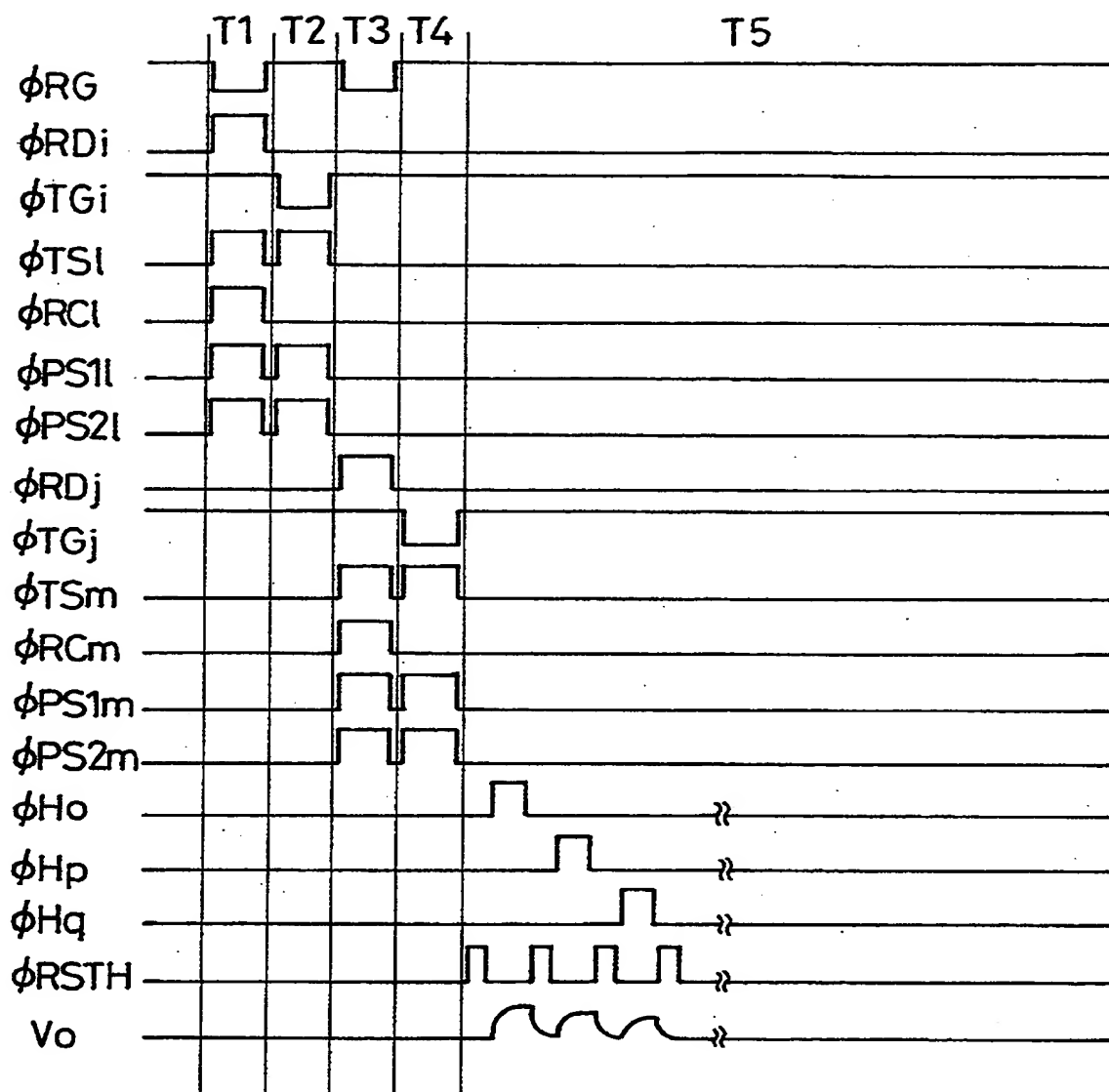
【圖 3】



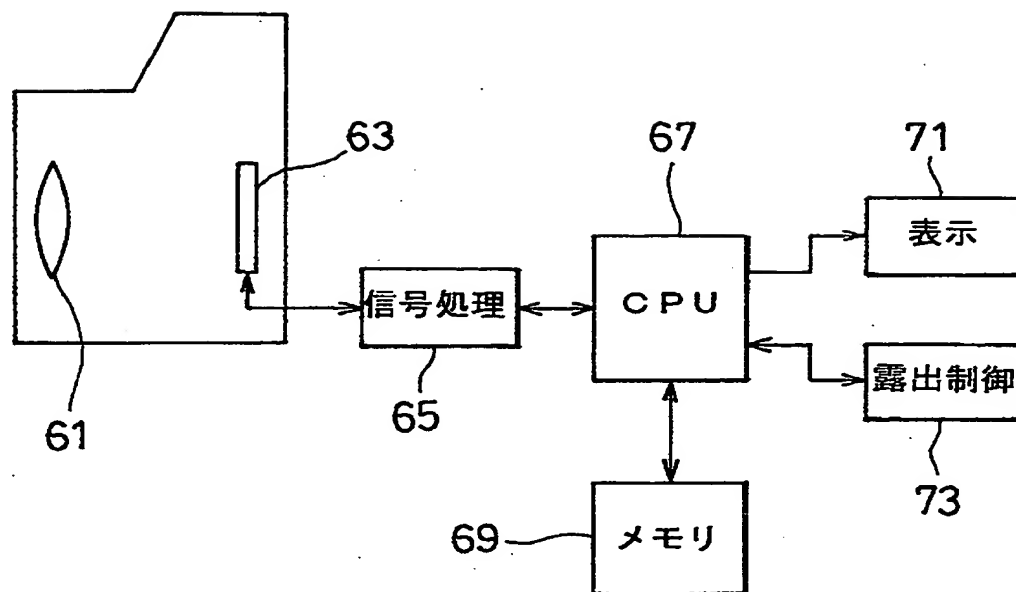
【図4】

G R G B G R G B G R G B G R G B
G B G R G B G R G B G R G B G R
G R G B G R G B G R G B G R G B
G B G R G B G R G B G R G B G R
G R G B G R G B G R G B G R G B
G B G R G B G R G B G R G B G R
G R G B G R G B G R G B G R G B
G B G R G B G R G B G R G B G R

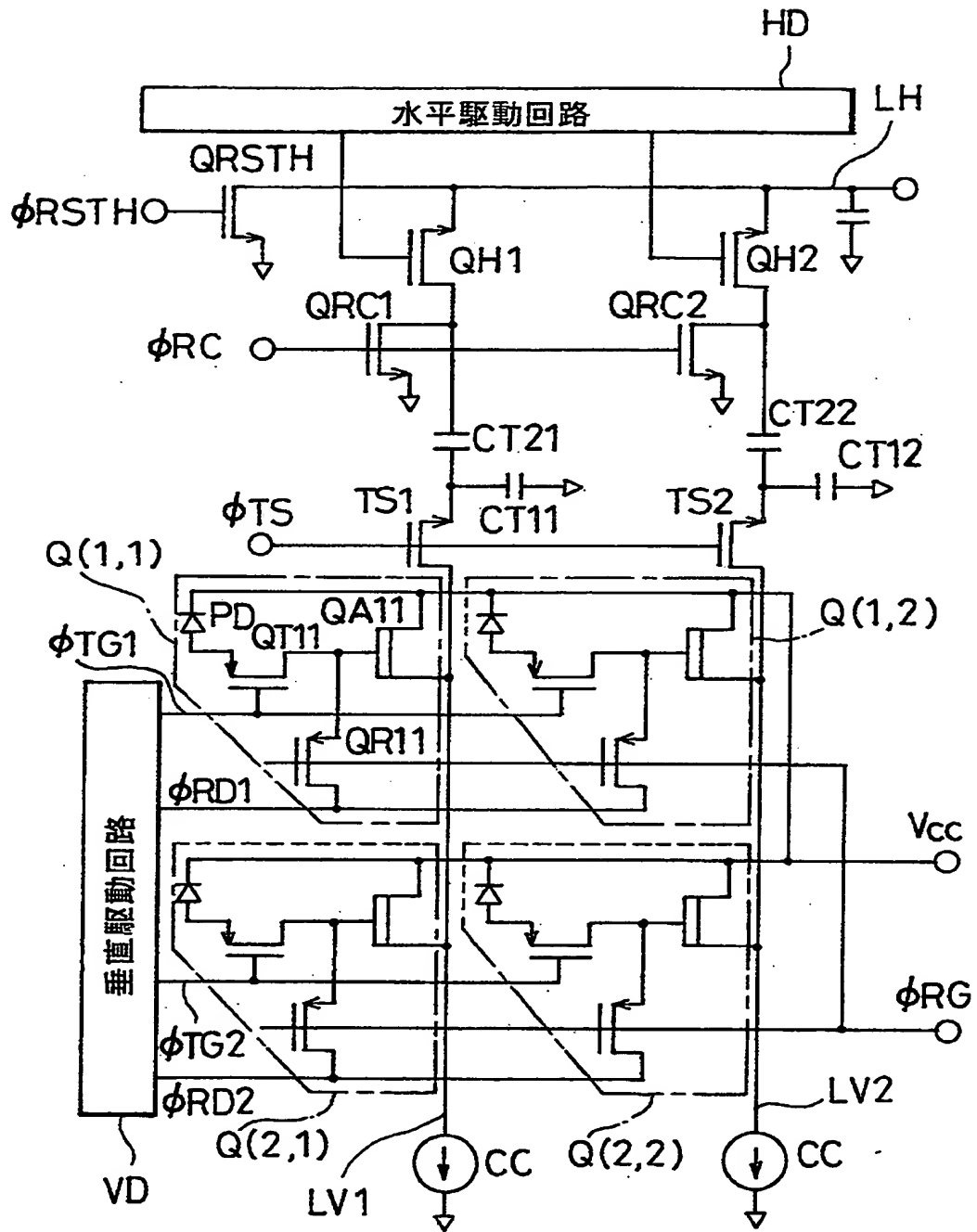
【図5】



【図6】



【図 7】



【書類名】 要約書

【要約】

【課題】 簡単な回路構成で高速かつ高い自由度で間引き読み出しが可能な固体撮像装置およびこれを用いた電子カメラを実現する。

【解決手段】 行および列に沿ってマトリクス状に配置された複数の光電変換画素 1 と、行選択を行なう垂直走査手段 3, 5 と列選択を行なう水平走査手段 7, 9 を備えた固体撮像装置である。垂直走査手段または水平走査手段の少なくとも一方をシフトレジスタ 3, 7 と選択回路 5, 9 で構成する。シフトレジスタの一段あたりに複数の行または列を受け持たせ、該シフトレジスタの一段あたりに受け持たせた複数の行または列の内の所望の行または列を選択手段で選択して画像信号を出力することにより、画素の間引き読み出しを可能にする。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000004112
【住所又は居所】 東京都千代田区丸の内 3 丁目 2 番 3 号
【氏名又は名称】 株式会社ニコン
【代理人】 申請人
【識別番号】 100083574
【住所又は居所】 神奈川県横浜市中区太田町 1 丁目 4 番 2 関内川島
ビル 2 階 池内国際特許事務所
【氏名又は名称】 池内 義明

出 願 人 履 歴 情 報

識別番号 [000004112]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都千代田区丸の内3丁目2番3号
氏 名	株式会社ニコン